

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-260353

(43)Date of publication of application : 12.11.1987

(51)Int.Cl.

H01L 23/52

H01L 25/00

H01L 25/04

H05K 1/14

(21)Application number : 61-105324

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.05.1986

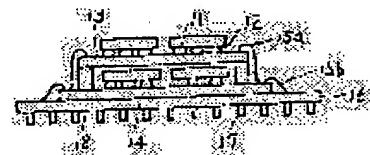
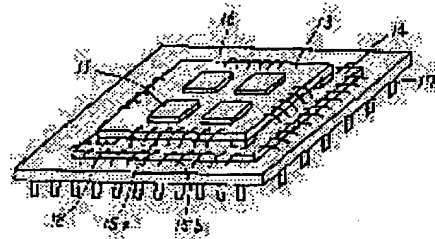
(72)Inventor : YOSHIDA MIYOSHI

(54) QSEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the large increase of the volume of the whole even when the number of LSI chips loaded for enlarging a functional scale is increased by laminating and mounting a plurality of wiring substrates so that the main surfaces of the wiring substrates mutually run parallel.

CONSTITUTION: A plurality of semiconductor chips 11 having active functions consisting of P-N junctions are disposed onto a plurality of wiring substrates 13, 14, main surfaces of which have wirings mutually connecting and compounding the active functions of these semiconductor chips 11 and external electrodes extracting the functions of the chips to the outside. A plurality of these wiring substrates 13, 14 are laminated and fitted onto an insulating substrate 16 fixing and holding electrical functions acquired by said wiring substrates 13, 14 and having external pins 17 for transmitting the electrical functions over the outside so that the main surfaces of the wiring substrates mutually run parallel. Accordingly, a large number of the LSI chips can be loaded without enlarging the volume of the whole so much, and the number of the LSI chips can easily be increased only by the number of newly laminated layers when the number of the wiring substrates laminated are increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭62-260353

⑤ Int. Cl.⁴H 01 L 23/52
25/00
25/04
H 05 K 1/14

識別記号

庁内整理番号

8728-5F
A-7638-5F
Z-7638-5F
6679-5F

⑬ 公開 昭和62年(1987)11月12日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭61-105324

⑰ 出 願 昭61(1986)5月6日

⑱ 発 明 者 吉 田 美 義 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

PN接合からなる能動機能を有する複数個の半導体チップ、

前記半導体チップの能動機能を互いに接続、集合する配線と、その機能を外部に取出す外部電極とをその主面に有する複数個の配線基板、および前記配線基板によって得られる電気的機能を固定、保持し、その電気的機能を外部に伝達するための外部ピンを有する絶縁基板を備え、

前記複数個の配線基板は、その主面が互いに平行になるように積層して設けられている、半導体装置、

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置に関し、特に、1つのパッケージ内に多数の半導体チップを組立てる、いわゆるマルチチップパッケージングを適用する

ことのできる半導体装置に関するものである。

〔従来の技術〕

従来、この種の半導体装置では、パッケージ内に半導体チップ(以下LSIチップと称す)を平面実装していた。第6図は、このような従来の半導体装置の斜視図であり、第7図はその断面図である。図において、1はLSIからなる多数個のLSIチップで、その主面にPN接合を形成している。これら多数個のLSIチップ1で半導体装置の全体の機能を構成する。2はLSIチップ1上に形成されたPb-Sn合金からなる電極(以下 bumps と称す)である。3はLSIチップ1の機能を相互に接続する配線基板、6は配線基板3を収納する絶縁基板、5は配線基板3と絶縁基板6とを電気的に接続するワイヤ、7は半導体装置の機能を外部に取出すための外部ピンである。

次に動作について説明する。

LSIチップ1の主面に形成したPN接合による機能はその主面と同一平面上の任意の位置から取出すことができる。相互接続配線を形成した配

配線基板3の主面とLSIチップ1の主面とを平行に対向して配置すれば、その間隙に位置するパンプ2によってLSIチップ1の機能と配線基板3の相互接続配線を電気的に接続することができる。この配線基板3は、ワイヤ5によって絶縁基板6と電気的につながる。外部ピン7は、この半導体装置の機能を外部に取出すものである。結局LSIチップ1、パンプ2、配線基板3、ワイヤ5、外部ピン7を通じて半導体装置の機能が完成し、外部に伝達することができる。これらの機能は絶縁基板6に取付ける蓋(図示せず)によって保護されるので、通常の取扱いではこの機能が損傷するというのではなく、マルチチップパッケージングした半導体装置として動作する。

〔発明が解決しようとする問題点〕

従来のマルチチップパッケージでは、LSIチップ1の主面と配線基板3の主面とを平行対向して配置し、配線基板3を1つだけ絶縁基板6に搭載していたので、半導体装置内に搭載し得るLSIチップの数が制限されていた。これは、搭載す

る機能を互いに接続、複合する配線と、その機能を外部に取出す外部電極とをその主面に有している。絶縁基板は、配線基板によって得られる電気的機能を固定、保持し、その電気的機能を外部に伝達するための外部ピンを有している。

そして、複数の配線基板は、その主面が互いに平行になるように積層して設けられている。

〔作用〕

LSIチップを平面実装した配線基板の厚みは、その主面の一辺の長さに対して極めて小さい。したがって、複数の配線基板を、その主面が互いに平行になるように積層しても、その厚みは主面の一辺の長さに対して依然として小さい。半導体装置のLSIチップ実装密度は、半導体装置の体積あたりのLSIチップ数である。ここで、半導体装置の体積は、絶縁基板の厚み、配線基板の厚み、蓋の厚みなどの総厚みとその平面面積との積である。したがって、配線基板の層数を増せば、LSIチップ数はその層数倍だけ増えるが、全体の体積はほとんど増加しない。つまり、この発明

るLSIチップ1の主面の総面積は配線基板3の主面の面積よりも小さくしなければならないためである。したがって、その半導体装置の機能規模を大きくしようとしてLSIチップ1の数を増せば、配線基板3の主面の面積を大きくしなければならない。結局、半導体装置の平面が大きくなり、大型の装置になってしまうという欠点があった。

この発明は、上述のような従来の欠点を解消するためになされたものであり、その目的は、機能規模を大きくするために搭載するLSIチップ数を増加させても、全体の体積があまり増加しない、つまり実装密度の高い小形の半導体装置を提供することである。

〔問題点を解決するための手段〕

この発明に従った半導体装置は、LSIチップを3次元実装するものである。具体的には、この発明に従った半導体装置は、複数の半導体チップと、複数の配線基板と、絶縁基板とを備えている。半導体チップは、PN接合からなる能動機能を有している。配線基板は、半導体チップの能

に従った半導体装置によれば、全体の体積はそれほど増えないのに、そこに搭載したLSIチップ数は積層した層数倍だけ増加する。

〔実施例〕

第1図は、この発明の一実施例を示す斜視図であり、第2図はその断面図である。図において、11はSiからなる半導体チップ(LSIチップ)で、PN接合をその主面に形成している。12は電極(パンプ)である。13は、LSIチップ11を相互に接続する配線をその主面に形成したSiからなる第1の配線基板である。14は、LSIチップ11を相互に接続する配線と第1配線基板13の機能を接続する配線をその主面に形成したSiからなる第2の配線基板である。15aは、第1配線基板13と第2配線基板14とを電気的に接続するワイヤ、15bは、第2配線基板14と絶縁基板16とを電気的に接続するワイヤである。なお、絶縁基板16は、第1配線基板13と第2配線基板14とを収納している。17は半導体装置の機能を外部に取出すための外部ピン、1

8は第1配線基板13と第2配線基板14との間に位置し、それらを空間的に分離するための同一の厚みを有するS1からなるスペーサである。

次に動作について説明する。

LSIチップ11の有する機能は、パンプ12を介して、第1配線基板13の配線につながり、相互に接続される。そして、この第1配線基板には、この半導体装置の全機能のうちの一部の機能であるサブシステムが完成する。他のLSIチップ1は、パンプ12を介して第2の配線基板14に同様に接続され、ここでも半導体装置全機能の一部であるサブシステムを形成する。この両サブシステムによって半導体装置の全機能が揃ったことになる。第2配線基板14は、絶縁基板16に固定される。第1配線基板13は、その主面が第2配線基板14の主面と互いに平行になるように、スペーサ18を介して第2配線基板14の上に積層される。第1配線基板13と第2配線基板14とは、ワイヤ15aを介して電気的に接続され、第2配線基板14と絶縁基板16とはワイヤ15

bを介して電気的に接続される。こうすることによって、第1配線基板13のサブシステムと第2配線基板14のサブシステムとを複合し、かつその全機能を絶縁基板16に接続したことになる。外部ピン17は、半導体装置の機能を外部に取出す構造になっているので、このサブシステムを組合せた全機能が外部ピン17によって外部に取出せる。

このようにして、第1図および第2図に示した実施例によれば、従来のものに比べて、2倍のLSIチップ数を同一絶縁基板の中に搭載してかつその機能を外部に取出すことができる。この場合、積層された配線基板の厚みはその主面の一辺の長さに対して小さいので、半導体装置全体としての体積は従来のものとあまり異ならない。なお、LSIチップ11、パンプ12、第1配線基板13、第2配線基板14、ワイヤ15a、15b等はそれらを取囲む蓋（図示せず）によって保護されるので、通常の取扱いによってはその機能が損傷を受けるということはない。このようにしてLSI

チップ11を搭載した第1配線基板13と第2配線基板14とをその主面が互いに平行になるように積層して配置、構成したので、従来のものに比べて2倍の機能を同一絶縁基板内に搭載したマルチチップパッケージング半導体装置として動作する。

なお、第1図および第2図に示した実施例では、第2配線基板14上に積層される第1配線基板13の層数はただ1層であったが、その層数に限定されるものではない。たとえば、第3図に示した他の実施例では、第1配線基板13として、2層の配線基板が用いられている。また、他の例として、第2配線基板14を絶縁基板16の中に形成し、絶縁基板16と一体化したものであってもよい。

第4図は、この発明のさらに他の実施例を示す断面図である。第1図および第2図に示した実施例では、1個の第1配線基板13を1個の第2配線基板14の上に積層したが、この実施例では、ほぼ同一平面内に配置された複数個の第1配線基

板13を第2配線基板14上に積層している。

第5図は、この発明のさらに他の実施例を示す断面図である。この実施例では、第1配線基板13と第2配線基板14とは、その主面が互いに向向するように積層して設けられており、さらにその両基板13、14はコネクタ15cを介して接続されている。

なお、ワイヤ15a、15b、コネクタ15cが他の配線、たとえばフィルム上に形成されたCu配線であってもよい。また、第1配線基板13と第2配線基板14との間や、第1配線基板間にあるいはLSIチップ裏面に放熱のための伝熱媒体を配置してもよいことは当然である。

〔発明の効果〕

以上のように、この発明によれば、LSIチップを接続した複数の配線基板を、その主面が互いに平行になるように積層して設けているので、全体の体積をあまり増加させることなく多数個のLSIチップを搭載することができる。積層される配線基板の層数を増加させれば、LSIチップ数

をその層数値だけ容易に増加することができる。
その結果、半導体装置の高密度大規模化を容易に
実現することができる。

4. 図面の簡単な説明

第1図は、この発明の一実施例を示す概略斜視図である。第2図は、第1図に示した実施例の概略断面図である。第3図は、この発明の他の実施例の概略断面図である。第4図は、この発明のさらに他の実施例の概略断面図である。第5図は、この発明のさらに他の実施例の概略断面図である。

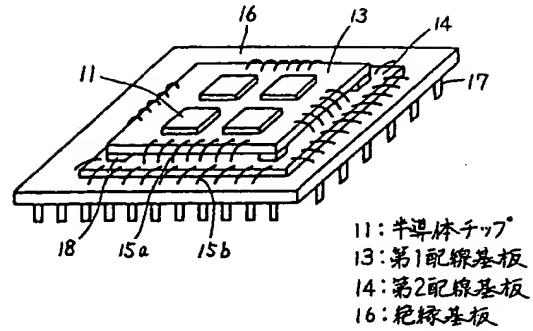
第6図は、従来の半導体装置の概略斜視図である。第7図は、第6図に示した半導体装置の概略断面図である。

図において、11は半導体チップ(LSIチップ)、13は第1配線基板、14は第2配線基板、16は絶縁基板を示す。

なお、図中、同一符号は同一、または相当部分を示す。

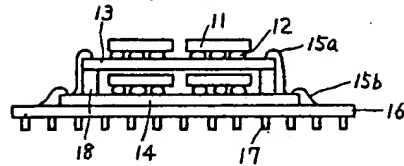
代理人 大 岩 増 雄

第1図

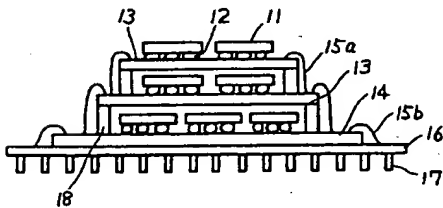


11:半導体チップ
13:第1配線基板
14:第2配線基板
16:絶縁基板

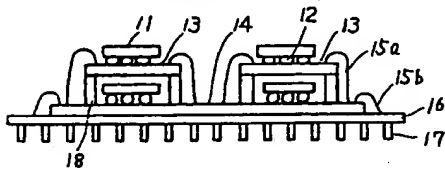
第2図



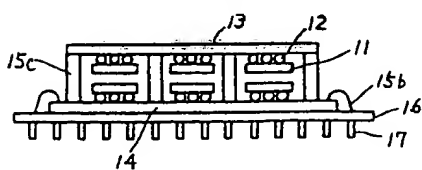
第3図



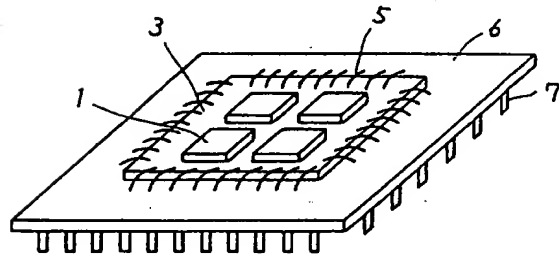
第4図



第5図



第6図



第7図

